

IOS #9

WAK.080

(Translation)

Patent Office
Opinion Submission (Grounds for Rejection) Notice

Applicant: Name: Nippon Denki Co., Ltd. (NEC)
Address: Tokyo-to, Minato-ku, Shibuya 5 Chome 7Ban 1 Go
Agent: (insert)
Address: Seoul City, Enan-ku, Eki Sanko 831 Keisen Bldg. 1405
Application No. 10-2001-0022093

Title of the invention: Semiconductor device and its method of manufacture

As a result of an examination relating to the present application, the following grounds for rejection were discovered. Since notification of these are being provided in accordance with the stipulations of Article 63 of the Patent Law, if there are any relevant opinions or amendments, we would like to request their submission by 12/30/2002. (Extensions may be made in one month units, however, no separate notice of approval will be sent).

Reason

Claims recorded in Claims 1 and 10 in the Scope of Claims of the present application relates to an invention which was recorded in the following publications, which were distributed domestically and abroad prior to the submission of the present application, a patent cannot be granted on the basis of Article 29 Section 1 No. 2.

Record

Citation: Japanese Laid Open Patent Publication Hei 8-236665 (09/13/1996)

The invention of the present application forms a bump on a semiconductor chip, and includes a resin layer on the electrode, and is characterized by the fact that the bump forms a protrusion on the surface of the resin layer, the construction of which is the same as that shown in Figure 1 of the present Citation.

End of text.

(訳文)

特許庁
意見提出（拒絶理由）通知書

出願人 氏名 日本電気株式会社
住所 日本国東京都港区芝5丁目7番1号
代理人 氏名 趙義済
住所 ソウル市江南区駅三洞831 恵泉ビル1405号
出願番号 10-2001-0022093
発明の名称 半導体装置及びその製造方法

この出願に対する審査の結果、次のような拒絶理由があつて特許法第63条の規定によりこれを通知しますので、意見があるかまたは補正が必要な場合には2002年12月30日までに意見書または／及び補正書を提出願います（上記提出期間については毎回1ヶ月単位で延長申請することができますが、期間延長の承認通知は別途に致しません）。

理 由

この出願の特許請求範囲第1、10項に記載された事項は、その出願前に国内または国外で頒布された下記の刊行物に記載された発明であるから、特許法第29条第1項第2号の規定により特許を受けることができない。

記

引用例；日本特開平8-236665号(1996.9.13)

本願発明は半導体チップの電極上にバンプが形成され、前記電極上に樹脂層を含み、前記バンプは樹脂層の表面上に突出していることを特徴とする上記引用例の図1の構成と同一である。以上

[添付]

添付1 引用例1 以上

2002.10.30

特許庁 審査4局

半導体2審査担当官室 審査官 吳 世 界 (印)

출력 일자: 2002/10/31

발송번호 : 9-5-2002-038773567
발송일자 : 2002.10.30
제출기일 : 2002.12.30

수신 : 서울 강남구 역삼동 831번지 혜천빌딩
1405호(탐국제특허법률사무소)
조의제 귀하

135-080

특허청 의견제출통지서

출원인 명칭 닛본 덴기 가부시끼가이샤 (출원인코드: 519980958731)
주소 일본국 도쿄도 미나토구 시바 5쵸메 7방 1고
대리인 성명조의제
주소 서울 강남구 역삼동 831번지 혜천빌딩 1405호(탐국제특허법률사무소)
출원번호 10-2001-0022093
발명의 명칭 반도체장치 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 1,10항에 기재된 사항은 그 출원전에 국내 또는 국외에서 반포된 아래의 간행물에 기재된 발명이므로 특허법 제29조제1항제2호의 규정에 해당되어 특허를 받을 수 없습니다.

[아래]

1. 인용예: 일본 특개평 제8-236665호(1996.9.13)

본원발명은 반도체 칩의 전극 위에 범프가 형성되고, 상기 전극 위에 수지층을 포함하며, 상기 범프는 수지층 표면 위로 돌출된 것을 특징으로 하는 인용예 도1의 구성과 동일합니다. 끝.

[첨부]

첨부1 인용예 1부 끝.

2002.10.30

특허청

심사4국

반도체2 심사담당관실

심사관 오세계



<<안내>>

문의사항이 있으시면 ☎ 042-481-5436 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-236665
(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H01L 23/34
H01L 23/28

(21)Application number : 07-039514
(22)Date of filing : 28.02.1995

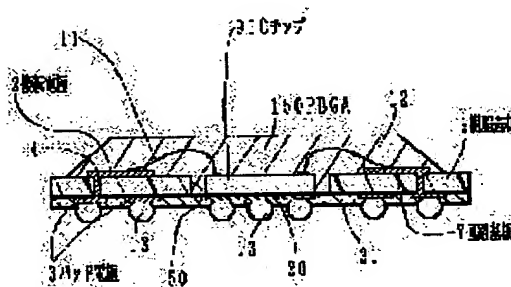
(71)Applicant : CITIZEN WATCH CO LTD
(72)Inventor : ISHIDA YOSHIHIRO
KANEKO HIROYUKI
ICHIKAWA SHINGO

(54) RESIN SEALED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enhance heat dissipation while reducing the cost by placing an IC chip in a through hole and arranging solder bumps for heat dissipation on the lower surface of the IC chip.

CONSTITUTION: A through hole 50, larger than the diameter of an IC chip 9, is made in a resin board 1 and the IC chip 9 is placed directly in the through hole 50. Solder bumps 13 for heat dissipation are formed directly on the rear of the IC chip. A silver paste layer 20 is applied in order to enhance adhesion between the rear of the IC chip 9 and the solder bumps 13 and a resist film 21 serves to form the solder bumps 13 and to proof a circuit board 7 against moisture. Each pad electrode 3 is applied to the lower surface of the circuit board 7 and the heat resistant resist film 21 having circular windows is applied to the solder bump forming part of the IC chip 9. Subsequently, a solder ball is fed to each window of the resist film 21 and heat treated to form the solder bump 13 thus completing a PBGA 150.



LEGAL STATUS

[Date of request for examination] 07.01.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-236665

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl.⁶

H 0 1 L 23/34
23/28

識別記号

庁内整理番号

F I

H 0 1 L 23/34
23/28

技術表示箇所

A
B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平7-39514

(22)出願日 平成7年(1995)2月28日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 石田 芳弘

東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

(72)発明者 金子 博幸

東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

(72)発明者 市川 新吾

東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

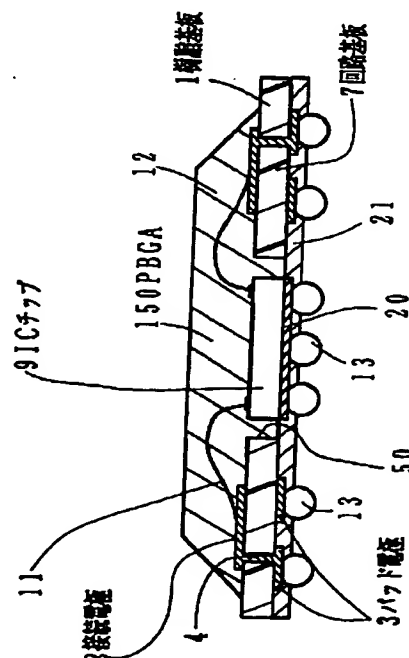
(54)【発明の名称】 樹脂封止型半導体装置及びその製造方法

(57)【要約】

【目的】 本発明は放熱特性を改良した樹脂封止型半導体装置及びその製造方法に関する。

【構成】 樹脂基板1の上面側に設けたICチップ9の接続電極2と、下面側に設けた外部接続用のパッド電極3とをスルーホール4を介して接続し、前記パッド電極には半田バンプ13を設けると共に前記樹脂基板の上面を樹脂封止してなる半導体装置に於いて、前記樹脂基板のICチップ搭載部に貫通穴50を設けると共に、該貫通穴内に前記ICチップを配設し、ICチップの下面に放熱用の半田バンプを設けた。

【効果】 放熱特性の改善とコストダウンと薄型化が可能となった。



【特許請求の範囲】

【請求項1】 両面銅張りした樹脂基板の上面側に設けたICチップの接続電極と、下面側に設けた外部接続用のパッド電極とをスルーホールを介して接続し、前記パッド電極には半田パンプを設けると共に前記樹脂基板の上面を樹脂封止してなる半導体装置に於いて、前記樹脂基板のICチップ搭載部に貫通穴を設けると共に、該貫通穴内に前記ICチップを配設し、該ICチップの下面に放熱用の半田パンプを設けた事を特徴とする樹脂封止型半導体装置。

【請求項2】 両面銅張りした樹脂基板の上面側に設けたICチップの接続電極と、下面側に設けた外部接続用のパッド電極とをスルーホールを介して接続すると共にICチップ搭載部に貫通穴を設けた回路基板とICチップとを、前記回路基板の貫通穴内にICチップを位置決めした状態にて治具板に仮固定する工程と、前記ICチップの電極と回路基板の接続電極とを接続する工程と、前記回路基板の上面側を樹脂封止する工程と、前記治具板を剥離する工程と、前記回路基板下面のパッド電極と前記ICチップの下面とに半田パンプを形成する工程とを有する事を特徴とする樹脂封止型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、放熱特性を改善した樹脂封止型半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、樹脂基板の上面側に設けたICチップの接続電極と、下面側に設けた外部接続用のパッド電極とをスルーホールを介して接続し、前記パッド電極には半田パンプを設けると共に前記樹脂基板の上面を樹脂封止してなる樹脂封止型半導体装置が開発され、これらの半導体装置はプラスチック・ボールグリッドアレイ（以後PBGAと略記する）の名称にて商品化されている。然るに、上記PBGAは従来のセラミックBGAに比較して低価格にて製造出来るというメリットがある反面、放熱特性が悪い為、端子数が少なく放熱特性が問題にならない小型のPBGAにその用途が限定されるとい

う欠点があった。

【0003】 上記の欠点を解決する方法としては従来より各種の提案があるが、特に回路基板の下面側に放熱する方式としては米国特許5,285,352号に開示がありその構成を図3により説明する。

【0004】 図3は回路基板の下面側に放熱機構を設けたPBGAの断面図で、1は樹脂基板であり該樹脂基板1の上面には接続電極2が、又下面側には外部接続用のパッド電極3が形成され、前記樹脂基板1の上面側の接続電極2と下面側のパッド電極3とはスルーホール4を介して接続されている。更に樹脂基板1のICチップ搭載部には貫通穴5が形成され、該貫通穴5には熱伝導の

良い金属よりなる放熱ブロック6が埋設される事により回路基板7が構成されている。

【0005】 そして前記回路基板7の上面側のICチップ搭載部にはICチップ9が熱伝導の良い接着材10により固着されると共に前記ICチップ9の各電極はボンディング・ワイヤー11によって前記接続電極2に接続されている。更に回路基板7の上面側を封止樹脂12により封止した後、回路基板7の下面側のパッド電極3と前記放熱ブロック6の下面とに半田パンプ13を形成する事によりPBGA15が完成する。

【0006】 上記構成を有するPBGA15は、図示しないマザーボードに前記半田ボール13を溶融して実装される事により、前記ICチップ9に発生した発熱は熱伝導の良い接着剤10、放熱ブロック6、半田ボール13を介してマザーボード側に放出される。

【0007】

【発明が解決しようとする課題】 前記PBGA15の構成はICチップの発熱を回路基板側に放出できる、という点に於いて優れているが構成的には樹脂基板1の貫通穴5に放熱ブロック6を整合して位置決めする方式である為、樹脂基板1の厚さのパラッキや貫通穴5の加工制度のパラッキの影響を受けやすく回路基板7の上面側及び下面側の位置制度が安定せず、ICチップ9の接着位置や半田パンプ13の形成高さが安定しないという問題がある。

【0008】

【課題を解決するための手段】 上記目的を達成するための本発明の要旨は下記の通りである。両面銅張りした樹脂基板の上面側に設けたICチップの接続電極と、下面側に設けた外部接続用のパッド電極とをスルーホールを介して接続し、前記パッド電極には半田パンプを設けると共に前記樹脂基板の上面を樹脂封止してなる半導体装置に於いて、前記樹脂基板のICチップ搭載部に貫通穴を設けると共に、該貫通穴内に前記ICチップを配設し、該ICチップの下面に放熱用の半田パンプを設けた事を特徴とする。

【0009】 又、両面銅張りした樹脂基板の上面側に設けたICチップの接続電極と、下面側に設けた外部接続用のパッド電極とをスルーホールを介して接続すると共にICチップ搭載部に貫通穴を設けた回路基板とICチップとを、前記回路基板の貫通穴内にICチップを位置決めした状態にて治具板に仮固定する工程と、前記ICチップの電極と回路基板の接続電極とを接続する工程と、前記回路基板の上面側を樹脂封止する工程と、前記治具板を剥離する工程と、前記回路基板下面のパッド電極と前記ICチップの下面とに半田パンプを形成する工程とを有する事を特徴とする。

【0010】

【実施例】 図1は本発明の樹脂封止型半導体装置の実施例であるPBGAの断面図であり図3に示すPBGAと

同一部材には同一番号を付し説明を省略する。図1に示すPBGA150に於いて図3に示すPBGA15との違いは樹脂基板1の貫通穴50をICチップ9の径よりも大きく形成し、その貫通穴50の中にICチップ9を直接配置すると共に、該ICチップ9の裏面に放熱用の半田パンプ13を直接形成したことである。尚20はICチップ9の裏面と半田パンプ13との密着力を改善する為に塗布された銀ペースト層、21は半田パンプ13の形成と回路基板7の防湿処理を兼ねたレジスト・フィルムである。

【0011】次に図1に示すPBGA50の製造方法を説明する。図2は図1に示すPBGA50の製造工程を示す工程図であり、図1(a)は前記回路基板7の貫通穴50内に前記ICチップ9を位置決めした状態にて、前記回路基板7とICチップ9とを熱可塑性のフィルム状接着材41により金属性の治具板40に仮接着した状態を示す仮接着工程であり、この状態では回路基板7の下面側のパッド電極3はフィルム状接着材41のなかに食い込んだ状態となっている。

【0012】図1(b)はワイヤーボンディング工程とモールド工程とを示すものであり、前記ICチップ9の電極をボンディング・ワイヤー11により前記接続電極2に接続した後、前記治具板40ごと金型内にセットして射出成形により封止樹脂12を形成する。

【0013】図1(c)は治具板剥離工程と、ICチップ裏面処理工程とを示すものであり加熱処理によって熱可塑性のフィルム状接着材41を軟化させた状態にて前記治具板40を剥離し、しかる後ICチップ9の裏面に半田パンプとの密着力を良くする為の銀ペースト層20を塗布する。尚、前記ICチップ9の裏面が金メッキ処理されている場合は、金メッキ層が半田パンプとの密着力が良い為、前記銀ペースト層20の塗布工程を省略する事ができる。

【0014】更に前記図1に示す如く、回路基板7の下面側に各パッド電極3及びICチップ9の半田パンプ形成部に円形の窓穴を有する耐熱性のレジスト・フィルム21を張り、該レジスト・フィルム21の各窓穴に半田ボールを供給した後、加熱処理を行って半田パンプ13を形成する事によりPBGA150が完成する。

【0015】図4は本発明の他の実施例を示すPBGAの断面図であり、図1に示すPBGAと異なるのは、前

記封止樹脂12に上放熱板60をインサートモールドした構成である。この構成によってICチップ9より発生した発熱は下面側の放熱用半田パンプ13と上放熱板60との上下両方向に発散される為、更に放熱特性は改善される。

【0016】尚、前記各実施例ではモールド工程として射出成形による樹脂封止を示したが本願はこれに限定される物ではなく、例えば熱可塑性樹脂によるポッティング等の技術によって封止樹脂を形成する事も本願の範囲に含まれるものである。

【0017】

【発明の効果】上記のごとく本発明によれば、ICチップが発生する発熱を回路基板の下面側より放出する方式に於いて、従来の様な放熱ブロックを設けずに、ICチップの裏面より直接放熱する構成となっている為極めて優れた放熱効果を奏すると共に放熱ブロックの廃止によるコストダウンができる。又、回路基板とICチップとの位置決めは治具板を用いて両者の底面位置をそろえる事が出来る為、各位置精度を高めると共にその製造工程を簡素化する事ができる。更に、ICチップを回路基板の貫通穴に完全に埋設する構造である為、その分だけPBGAの薄型化が可能となる。

【図面の簡単な説明】

【図1】本発明の樹脂封止型半導体装置を示す断面図である。

【図2】本発明の樹脂封止型半導体装置の製造工程を示す工程図である。

【図3】従来の樹脂封止型半導体装置を示す断面図である。

【図4】本発明の樹脂封止型半導体装置の他の実施例を示す断面図である。

【符号の説明】

- 1 樹脂基板
- 3 パッド電極
- 5、50 貫通穴
- 7 回路基板
- 9 ICチップ
- 12 封止樹脂
- 13 半田パンプ
- 15、150 樹脂封止型半導体装置

Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).
 (a) shows a substrate 3 with a central layer 40 and side layers 41. A top layer 50 is shown above the central layer 40. A top surface 7 is indicated on the right side.
 (b) shows a substrate 2 with a central layer 11 and side layers 12. A top layer 9 is shown above the central layer 11. A top surface 11 is indicated on the right side.
 (c) shows a substrate 1 with a central layer 20 and side layers 9. A top layer 9 is shown above the central layer 20. A top surface 1 is indicated on the right side.

[illegible]

Figure 1 is a perspective view of a semiconductor device 10. The device includes a resin substrate 1, a circuit board 7, and a 150PBGA package 60. The package 60 is connected to the circuit board 7 via a 9IC chip 9. The circuit board 7 includes a 2-terminal electrode 2, a 3-terminal electrode 3, and a 7-terminal electrode 7. The package 60 is connected to the circuit board 7 via a 150PBGA package 60. The device is shown in a perspective view, with various components labeled with numbers and text.